

상세보기

WIPS Patent Search

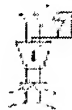
상세보기

본 출원인의 동원기술분야에

FullText Download 마이폴더저장 마이폴더보기

(54) NOISE REDUCTION CIRCUIT FOR SEMICONDUCTOR DEVICE

원문보기 번역문보기



(19) 국가 (Country) : JP (Japan)

(11) 공개번호 (Publication Number) : 2003-008424 (2003.01.10)

日本語/한글(JP)

2004-274564(2003.03.11)

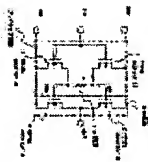
(13) 문헌종류 (Kind of Document) : A (Unexamined Publication)

(21) 출원번호 (Application Number) : 2001-191789 (2001.06.25)

(75) 발명자 (Inventor) : FUJITA NOBUKO

(73) 출원인 (Assignee) : MATSUSHITA ELECTRIC IND CO LTD.

2004-180228(2002.11.29)



도 1

대표출원인명 : MATSUSHITA ELECTRIC INDUSTRIAL (A00113)

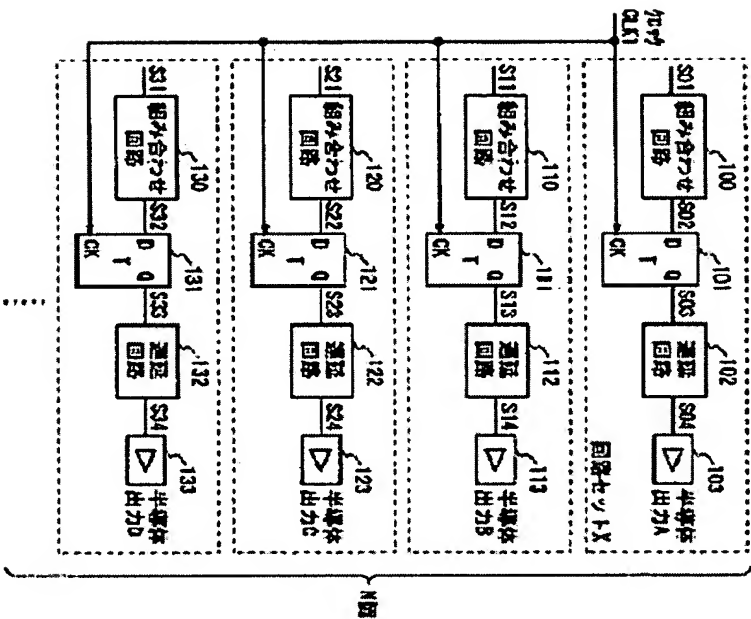
(57) 요약 (Abstract) :
PROBLEM TO BE SOLVED: To provide a noise reduction circuit for a semiconductor device that can reduce a high level noise caused by concentrated flowing of a momentary transient current (peak current) through power lines of IO buffers when many outputs are inverted in each semiconductor, using the IO buffer with an output in a plurality of bits and capable of a high output current capability, such as a data control circuit for plasma display and liquid crystal display.



SOLUTION: The noise reduction circuit is configured such that a delay circuit is inserted to each bit of each semiconductor to individually shift an inversion timing of output data so as to deviate a peak timing of the transient current momentarily flowing through the output IO buffer thereby reducing a noise due to a sudden change in a power supply voltage and a GND voltage in the inside of each semiconductor.

COPYRIGHT: (C)2003, JPO

대표도면 :



回路セットX

- (51) 국제특허분류 (IPC) : H03K-019/0175 ; G02F-001/133 ; G09G-003/20 ; G09G-003/28 ; G09G-003/36
- FI : G02F-001/133 505
G09G-003/20 611 J
G09G-003/20 621 A
G09G-003/36
H03K-019/00 101 F
G09G-003/28 H
- 테마코드 : 2H093: 5C006: 5C080: 5J056

■ F팀 :

2H093: NA31 NA36 NA79 ND40
5C006: AF71 BB11 BC16 BF49 FA32
5C080: AA05 AA10 BB05 CC06 DD12 JJ02 JJ04
5J056: AA04 BB24 BB25 CC00 CC05 CC14 FF01 FF10 GG03 KK01

■ (30) 우선권번호 (Priority Number) :

-

■ 본 특허를 우선권으로 한 특허 :

-

■ WIPS 패밀리

[▶ WIPS 패밀리 보기](#)[▶ 패밀리/법적상태 일괄보기](#)[FullText Download](#)[특허포대신청](#)[» 신청하기](#)대표전화 : 02-726-1105 | 팩스 : 02-362-1289 | 메일 : help@wips.co.kr

Copyright©1998-2005 WIPS Co.,Ltd. All rights reserved.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-8424

(P2003-8424A)

(43) 公開日 平成15年1月10日 (2003.1.10)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
H 0 3 K 19/0175		G 0 2 F 1/133	5 0 5 2 H 0 9 3
G 0 2 F 1/133	5 0 5	G 0 9 G 3/20	6 1 1 J 5 C 0 0 6
G 0 9 G 3/20	6 1 1		6 2 1 A 5 C 0 8 0
	6 2 1	3/36	5 J 0 5 6
3/28		H 0 3 K 19/00	1 0 1 F

審査請求 未請求 請求項の数 4 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2001-191789 (P2001-191789)

(22) 出願日 平成13年6月25日 (2001.6.25)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 藤田 暢子

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 100081813

弁理士 早瀬 憲一

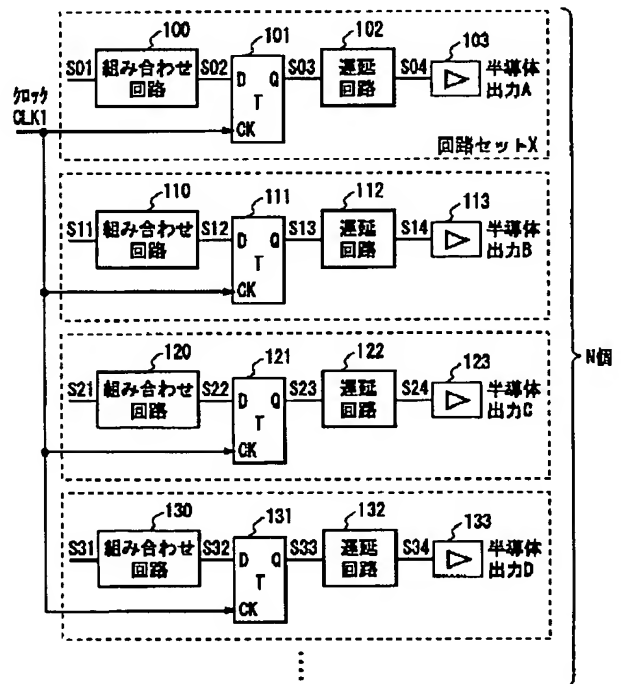
最終頁に続く

(54) 【発明の名称】 半導体装置のノイズ低減回路

(57) 【要約】

【課題】 プラズマ表示や液晶表示のデータ制御回路のような複数ビットの出力をもち、出力電流能力の高いI/Oバッファを使用している半導体で出力の多数が反転した場合、出力I/Oバッファで瞬間的な過渡電流(ピーク電流)が電源線に集中的に流れることにより発生する大きなノイズを低減する半導体装置のノイズ低減回路を提供する。

【解決手段】 半導体の出力の各ビット毎に遅延回路を挿入して出力データの反転のタイミングを個々にずらし、出力I/Oバッファで瞬間的に流れる過渡電流のピークタイミングをずらすことにより、半導体内部の電源電圧およびGND電圧の急変によるノイズを低減させるように構成する。



【特許請求の範囲】

【請求項 1】 半導体装置の複数の信号出力の過渡電流が同時に流れることにより発生するノイズを低減する半導体装置のノイズ低減回路であって、上記複数の信号出力の位相を相互にずらす出力位相シフト手段を備えた、

ことを特徴とする半導体装置のノイズ低減回路。

【請求項 2】 請求項 1 に記載の半導体装置のノイズ低減回路において、

上記出力位相シフト手段は、

各データ入力を受ける組み合わせ回路と、

前記組み合わせ回路の出力をデータ入力とし、所定周波数のクロックをクロック入力とするフリップフロップと、

前記フリップフロップの出力を入力とする遅延回路と、を有する回路セットを、上記遅延回路による遅延量を異ならせて N 個設けてなるものである、

ことを特徴とする半導体装置のノイズ低減回路。

【請求項 3】 請求項 1 に記載の半導体装置のノイズ低減回路において、

上記出力位相シフト手段は、

各データ入力を受ける組み合わせ回路と、

前記組み合わせ回路の出力をデータ入力とし、所定周波数のクロックをクロック入力とするフリップフロップと、

前記フリップフロップの出力を入力及び出力とする、遅延量がゼロとなる 1 個の遅延回路と、

それぞれ異なった遅延値を持ち、前記フリップフロップの出力をそれぞれの入力とする、遅延量の相互に異なる (M-1) 個の遅延回路と、

前記フリップフロップの入力と出力とを入力とし、前記フリップフロップの入出力の前後でデータが H→L、または L→H へ反転しているかどうかを検出する反転検出回路と、

前記 M 個の遅延回路の出力を入力とし、上記 M 個の出力のうち 1 個を選択する M 入力セレクトと、を有する、回路セットを N 個備え、

さらに、前記 N 個の反転検出回路のそれぞれの出力を入力とし、上記各反転検出回路の検出結果から前記 N 個の回路セット内の M 種の遅延回路の遅延量のうちの最適遅延値を算出して、前記 M 入力セレクトへセレクト制御信号として出力する最適遅延値算出回路と、を備えてなるものである、

ことを特徴とする半導体装置のノイズ低減回路。

【請求項 4】 請求項 1 に記載の半導体装置のノイズ低減回路において、

上記出力位相シフト手段は、

クロックの位相を各調整量だけ調整するクロック位相調整回路と、

各データ入力を受け、共通のクロックをクロック入力と

する第 1 のフリップフロップと、

前記第 1 のフリップフロップの出力を入力とする組み合わせ回路と、

前記クロック位相調整回路の出力をクロック入力とし、前記組み合わせ回路の出力をデータ入力とする第 2 のフリップフロップと、を有する、回路セットを、N 個設けてなるものである、

ことを特徴とする半導体装置のノイズ低減回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置のノイズ低減回路に関し、特に、大型パネルの PDP (プラズマディスプレイパネル) や液晶パネルの表示タイミング信号に従って画像データを出力する、多ビットの出力で高外部負荷がかかる表示データ制御回路のような半導体装置の出力過渡電流が集中的に流れることにより生じるノイズを低減するものに関する。

【0002】

【従来の技術】従来、液晶表示パネル LCD は、高精細化や大画面化により水平方向に約 600 本～2000 本、垂直方向に約 500 本～1000 本もの信号線をもつものに対して、半導体集積回路で構成される液晶駆動回路は 80 ないし 160 本程度の出力端子しか持ち得ない。そのため、1 つの液晶表示パネル LCD を駆動するためには液晶表示パネルの左右両極からそれぞれ多数個の液晶駆動回路は用いて駆動されており、表示タイミングに従って画像データを出力する液晶表示データ制御回路の出力は多数個の液晶駆動回路にパラレルに入力されている。

【0003】

【発明が解決しようとする課題】液晶表示パネル LCD の表示タイミングに従って画像データを出力する液晶表示データ制御回路の出力は実装基板上に形成された信号線を通して液晶表示パネルの左右両極の多数個の液晶駆動回路に入力される。このため液晶表示データ制御回路の出力にかかる外部負荷は、実装基板上に形成された信号線の配線容量と、多数個の液晶駆動回路の入力容量との総和となる。通常の半導体の 1 端子の入力負荷容量は 10 pF～15 pF であり、1 つの液晶表示パネル LCD に 10 個の液晶駆動半導体が搭載されていた場合、液晶表示データ制御回路には 1 端子あたり 100 pF～150 pF の外部負荷容量がかかる。このように液晶表示データ制御回路のような高外部負荷がかかる場合には信号のなまりを押さえるため出力電流能力の高い出力 I/O バッファを用いる必要があり、出力電流能力が高いため信号が反転した場合には瞬間的に大きな過渡電流 (ピーク電流) が流れる。また液晶表示データ制御回路は複数ビットの画像表示データを出力しているため、液晶表示データ制御回路の出力の多数が H→L、または L→H に反転した場合、クロックパルスに同期して多数の信号は同時に反

転する。クロックパルスの周期毎に反転した信号ビット数の分だけ出力ＩＯバッファで瞬間的な過渡電流（ピーク電流）が流れ続ける。このため、液晶表示データ制御回路の半導体内部では瞬間的な過渡電流（ピーク電流）が電源線に集中的に流れることにより大きなノイズが発生してしまうという問題があった。同時にクロックパルスの周期毎にノイズが発生すると、液晶表示データ制御回路のクロック周波数が高周波である場合、高周波のノイズは液晶表示パネルＬＣＤ内の表示データ制御回路以外の半導体にも影響を与えてノイズを発生させるという問題があった。

【０００４】このように、本発明は、上記のような問題を解決するためになされたもので、複数ビットの出力をもち、出力電流能力の高い出力ＩＯバッファを使用している半導体においても、出力ＩＯバッファに流れる瞬間的な過渡電流（ピーク電流）のピークタイミングをずらし、ノイズを低減させることを可能とする半導体装置のノイズ低減回路を提供することを目的とする。

【０００５】

【課題を解決するための手段】上記のような問題を解決するためには、本発明の請求項１に係る半導体装置のノイズ低減回路は、半導体装置の複数の信号出力の過渡電流が同時に流れることにより発生するノイズを低減する半導体装置のノイズ低減回路であって、上記複数の信号出力の位相を相互にずらす出力位相シフト手段を備えたことを特徴とするものである。

【０００６】また、請求項２に記載の半導体装置のノイズ低減回路は、請求項１に記載の半導体装置のノイズ低減回路において、上記出力位相シフト手段は、各データ入力を受ける組み合わせ回路と、前記組み合わせ回路の出力をデータ入力とし、所定周波数のクロックをクロック入力とするフリップフロップと、前記フリップフロップの出力を入力とする遅延回路と、を有する回路セットを、上記遅延回路による遅延量を異ならせてＮ個設けられるものである。

【０００７】また、請求項３に記載の半導体装置のノイズ低減回路は、請求項１に記載の半導体装置のノイズ低減回路において、上記出力位相シフト手段は、各データ入力を受ける組み合わせ回路と、前記組み合わせ回路の出力をデータ入力とし、所定周波数のクロックをクロック入力とするフリップフロップと、前記フリップフロップの出力を入力及び出力とする、遅延量がゼロとなる１個の遅延回路と、それぞれ異なった遅延値を持ち、前記フリップフロップの出力をそれぞれの入力とする、遅延量の相互に異なる（ $M-1$ ）個の遅延回路と、前記フリップフロップの入出力の前後でデータがＨ→Ｌ、またはＬ→Ｈへ反転しているかどうかを検出する反転検出回路と、前記Ｍ個の遅延回路の出力を入力とし、上記Ｍ個の出力のうち１個を選択するＭ入力セレクタと、を有する、回

路セットをＮ個備え、さらに、前記Ｎ個の反転検出回路のそれぞれの出力を入力とし、上記各反転検出回路の検出結果から前記Ｎ個の回路セット内のＭ種の遅延回路の遅延量のうちの最適遅延値を算出して、前記Ｍ入力セレクタへセレクタ制御信号として出力する最適遅延値算出回路と、を備えてなるものである。

【０００８】また、請求項４に記載の半導体装置のノイズ低減回路は、請求項１に記載の半導体装置のノイズ低減回路において、上記出力位相シフト手段は、クロックの位相を各調整量だけ調整するクロック位相調整回路と、各データ入力を受け、共通のクロックをクロック入力とする第１のフリップフロップと、前記第１のフリップフロップの出力を入力とする組み合わせ回路と、前記クロック位相調整回路の出力をクロック入力とし、前記組み合わせ回路の出力をデータ入力とする第２のフリップフロップと、を有する、回路セットを、Ｎ個設けられるものである。

【０００９】

【発明の実施の形態】（実施の形態１）以下、本発明の実施の形態１による半導体装置のノイズ低減回路について、図面を参照しながら説明する。図１は本実施の形態１による半導体装置のノイズ低減回路の構成を示すブロック図である。

【００１０】図１において、１００は信号Ｓ１を入力とし、信号Ｓ２を出力とする組み合わせ回路、１０１はＳ２をデータ入力、周波数 f_{clk} のクロックCLK１をクロック入力とし、信号Ｓ３をＱ出力とするフリップフロップ、１０２はＳ３を入力とし、信号Ｓ４を出力とする遅延回路、１０３は信号Ｓ４を入力とし、半導体出力信号Ａを出力とする出力ＩＯバッファである。この組み合わせ回路１００と、フリップフロップ１０１と、遅延回路１０２と、出力ＩＯバッファ１０３とを１つの回路セットＸとし、上記回路セットＸをＮ個備える。また、上記Ｎ個の回路セットＸにおいては、組み合わせ回路をそれぞれ１００、１１０、１２０、１３０・・・、組み合わせ回路１００、１１０、１２０、１３０の入力をそれぞれＳ０１、Ｓ１１、Ｓ２１、Ｓ３１・・・、出力をＳ０２、Ｓ１２、Ｓ２２、Ｓ３２・・・、フリップフロップをそれぞれ１０１、１１１、１２１、１３１・・・、フリップフロップ１０１、１１１、１２１、１３１のＱ出力をそれぞれＳ０３、Ｓ１３、Ｓ２３、Ｓ３３・・・、遅延回路をそれぞれ１０２、１１２、１２２、１３２・・・、遅延回路１０２、１１２、１２２、１３２・・・の出力をＳ０４、Ｓ１４、Ｓ２４、Ｓ３４・・・、出力ＩＯバッファをそれぞれ１０３、１１３、１２３、１３３・・・とし、出力ＩＯバッファの出力をそれぞれ半導体出力信号Ａ、Ｂ、Ｃ、Ｄ・・・とする。フリップフロップ１０１、１１１、１２１・・・のクロック入力はすべて周波数 f_{clk} のクロックCLK１で、遅延回路１０２、１１２、１２２・・・はそれぞれ異なっ

た遅延値を設定できるものとする。

【0011】以下に、上記のように構成された半導体装置のノイズ低減回路の動作について、図2を参照しながら説明する。組み合わせ回路100、110、120・・・の回路内容はそれぞれ異なるため、その出力S02、S12、S22・・・の信号変化の位相はそれぞればらばらであるが、フリップフロップ101、111、121・・・のQ出力S03、S13、S23・・・はクロックCLK1の立ち上がりエッジに同期して出力されるため信号変化の位相は一致している。遅延回路102、112、122・・・はそれぞれ異なった遅延値を設定でき、例えば遅延回路102は入力S03を1ns遅延させて出力させ、遅延回路112は入力S13を2ns遅延させて出力させるといった具合で遅延回路のそれぞれに異なった遅延値を設定する。図2中のP1、P2、P3はそれぞれ遅延回路102、103、104の遅延値を示す。さらに、出力IOバッファ103、113、123・・・のバッファ能力が等しければ、図2に示すような半導体出力Bのデータ変化点は半導体出力Aのデータ変化点に対し1ns遅延、半導体出力Cのデータ変化点は半導体出力Aのデータ変化点に対し2ns遅延といった具合でそれぞれ異なったデータ変化のタイミングで出力される。

【0012】このように本実施の形態1による半導体装置のノイズ低減回路では、組み合わせ回路、フリップフロップ、及び遅延回路を有するセット回路Xを複数個設けて、遅延回路の遅延値をそれぞれ個別に設定することにより、液晶表示データ制御回路のような複数ビットの出力をもち、出力電流能力の高い出力IOバッファを使用している半導体であっても半導体出力がH→L、L→Hに反転した場合に出力IOバッファで瞬間的に流れる過渡電流のピークタイミングをずらすことができ、その結果複数ビット出力が同時に反転して過渡電流が重なりあって電源線に集中的に流れるために生ずる出力信号の変化点に起こる半導体内部の電源電圧およびGND電圧の急変によるノイズを低減させることができる。

【0013】（実施の形態2）以下、本発明の実施の形態2による半導体装置のノイズ低減回路について、図3、図4を参照しながら説明する図3は実施の形態2による半導体装置のノイズ低減回路の構成を示すブロック図である。

【0014】図3において、200は信号T1を入力とし、信号T2を出力とする組み合わせ回路、201はT2をデータ入力、周波数fclkのクロックCLK2をクロック入力とし、信号T3をQ出力とするフリップフロップ、202、203、204・・・は信号T3をそれぞれ入力とし、信号T4、T5、T6・・・を出力とするM-1個の遅延回路、210はフリップフロップの入力信号T2と出力信号T3とを入力とし、T2とT3を比較し、2つの信号が反転しているかどうかを検出し

て検出結果T11を出力する反転検出回路、211はフリップフロップ201の出力T3とM-1個の遅延回路の出力T4、T5、T6・・・とを入力とし、信号T10を出力とするM入力セクタ、212はT10を入力とし、半導体出力信号A'を出力とする出力IOバッファである。上記の組み合わせ回路200と、フリップフロップ201と、M-1個の遅延回路202、203、204・・・と、反転検出回路210と、M入力セクタ211と、出力IOバッファ212とを1つの回路セットYとし、この回路セットYをN個備える。

【0015】また、上記N個の回路セットY内においては、組み合わせ回路をそれぞれ200、300、400、500・・・、組み合わせ回路200、300、400、500の入力をそれぞれT1、U1、V1、W1・・・、出力をT2、U2、V2、W2・・・、フリップフロップをそれぞれ201、301、401、501・・・、フリップフロップ201、301、401、501・・・のQ出力をそれぞれT3、U3、V3、W3・・・、回路セットY内のM-1個の遅延回路を202、203、204・・・、302、303、304・・・、402、403、404・・・、遅延回路202、203、204・・・、302、303、304・・・、402、403、404・・・の出力をそれぞれT4、T5、T6・・・、U4、U5、U6・・・、V4、V5、V6・・・、回路セットY内の反転検出回路をそれぞれ210、310、410、510・・・、反転検出回路210、310、410、510・・・の出力をそれぞれT11、U11、V11、W11・・・、回路セットY内のM入力セクタをそれぞれ211、311、411、511・・・、M入力セクタ211、311、411、511・・・の出力をそれぞれT10、U10、V10、W10・・・、回路セットY内の出力IOバッファを212、312、412、512・・・とする。フリップフロップ201、301、401・・・のクロック入力にはすべて周波数fclkのクロックCLK2が入力されている。また、213は回路セットY内の反転検出回路210、310、410・・・のL本の出力T11、U11、V11・・・を入力とし、L本の信号T12、U12、V12・・・を出力とする最適遅延値算出回路であり、T12、U12、V12・・・はM入力セクタ211、311、411のセレクト制御信号としてそれぞれ入力されている。

【0016】以下、上記のように構成された半導体装置のノイズ低減回路の動作について、図4を参照しながら説明する。組み合わせ回路200、300、400・・・の回路内容はそれぞれ異なるため、その出力T2、U2、V2・・・の信号変化の位相はそれぞればらばらであるが、フリップフロップ201、301、401・・・のQ出力T3、U3、V3・・・はクロックCLK2の立ち上がりエッジに同期して出力されるため信号変化

の位相は一致している。(M-1)×N個の遅延回路202、203、204・・・302、303、304・・・402、403、404・・・において、遅延回路202、302、402・・・が同じ遅延値、遅延回路203、303、403・・・が同じ遅延値、204、304、404・・・が同じ遅延値を持つとする。反転検出回路210、310、410・・・はフリップフロップ201、301、401・・・の入出力の前後の信号を比較し、2つの信号が反転しているかどうかを検出して検出結果T11、U11、V11を出力する。

【0017】最適遅延値算出回路213は反転検出回路210、310、410・・・の検出結果T11、U21、V21・・・から算出した、M入力セクタ211、311、411・・・のセレクト制御信号T12、U12、V12・・・を出力している。セレクト制御信号T12、U12、V12・・・は反転していないビットに対しては遅延回路の遅延値が0になるような、即ちM入力セクタの入力信号T3、U3、V3・・・を選択するようなコードを出力し、反転しているビットに対しては出力反転時の過渡電流の重なりを出力ACタイミング内で十分広げることができるように最適な遅延値を算出し、その遅延値にあった遅延素子をもつ遅延回路の出力を選択するコードを出力する。これにより、M入力セクタの出力T10、U10、V10・・・は反転しているビットのみがそれぞれ異なったデータ変化のタイミングを持つことになる。図4中のQ1は最も遅延量の大いビットの遅延値を表し、信号反転ビットが2ビットならば反転しているビットの遅延値はそれぞれ、Q1/2、Q1となり、信号反転ビットが3ビットならば反転しているビットの遅延値はそれぞれQ1/3、2×Q1/3、Q1となる。すなわち、信号反転ビットがNビットであれば反転しているビットの遅延値はそれぞれQ1/N、2×Q1/N、3×Q1/N・・・(N-1)×Q1/N、Q1となる。

【0018】このように本実施の形態による半導体装置のノイズ低減回路では、組み合わせ回路、フリップフロップ、反転検出回路、遅延回路、とM入力セクタを有するセット回路YをN個備えて、さらに最適遅延値検出回路を設けることにより、出力のデータが反転したビットのみが最適な遅延値を持った遅延回路を通して出力することになり、出力反転時の過渡電流の重なりを十分広げることができるため、過渡電流が重なり合った大電流が電源線に集中的に流れるために生ずる出力信号の変化点に起こる半導体内部の電源電圧およびGND電圧の急変によるノイズを低減させることができる。

【0019】(実施の形態3)以下、本発明の実施の形態3について、図5と図6を参照しながら説明する。図5は本実施の形態3による半導体装置のノイズ低減回路の構成を示すブロック図である。

【0020】図5において、1000は周波数fclk

のクロックCLK3を入力とし、周波数fclkのクロックCLK4を出力とするクロック位相調整回路A、1001はクロックCLK3を入力とし、周波数fclkのクロックCLK05を出力とするクロック位相調整回路B、1002は信号SS01をデータ入力、クロックCLK4をクロック入力とし、信号SS02をQ出力とする第1のフリップフロップ、1003は信号SS02を入力とし、信号SS03を出力とする組み合わせ回路、1004は信号SS03をデータ入力、クロックCLK05をクロック入力とし、信号SS04をQ出力とする第2のフリップフロップ、1005は信号SS04を入力とし、半導体出力A'を出力とする出力IOバッファである。このクロック位相調整回路B1001と、第1のフリップフロップ1002と、組み合わせ回路1003と、第2のフリップフロップ1004と、出力IOバッファ1005とを1つの回路セットZとし、この回路セットZをN個備える。

【0021】また、N個の回路セットZ内においては、クロック調整回路Bをそれぞれ1001、1011、1021、1031・・・、クロック調整回路B1001、1011、1021、1031・・・の出力をそれぞれCLK05、CLK15、CLK25、CLK35・・・、第1のフリップフロップをそれぞれ1002、1012、1022、1032・・・とし、第1のフリップフロップ1002、1012、1022、1032・・・のデータ入力をSS01、SS11、SS21、SS31・・・、Q出力をSS02、SS12、SS22、SS32・・・、組合せ回路をそれぞれ1003、1013、1023、1033・・・、組み合わせ回路1003、1013、1023、1033・・・の出力をそれぞれSS03、SS13、SS23、SS33・・・、第2のフリップフロップをそれぞれ1004、1014、1024、1034・・・、出力IOバッファをそれぞれ1005、1015、1025、1035・・・とし、出力IOバッファの出力をそれぞれ半導体出力信号A'、B'、C'、D'・・・とする。第1のフリップフロップ1002、1012、1022・・・のクロック入力はすべてクロック位相調整回路Aの出力のクロックCLK4で、第2のフリップフロップ1004、1014、1024・・・のクロック入力にはクロック位相調整Bの出力クロックCLK05、CLK15、CLK25・・・がそれぞれ入力される。クロック位相調整B1001、1011、1021・・・の位相調整はそれぞれ異なった調整値を設定できるものとする。

【0022】以下、上記のように構成された半導体装置のノイズ低減回路の動作について、図6を参照しながら説明する。第1のフリップフロップ1002、1012、1022・・・のクロック入力はすべてCLK4であるので第1のフリップフロップのQ出力SS02、S

S12、SS22・・・はクロックCLK4の立ち上がりエッジに同期して出力され、信号変化の位相は一致している。組み合わせ回路1003、1013、1023・・・の回路内容はそれぞれ異なるため、その出力SS03、SS13、SS23・・・の信号変化の位相はそれぞればらばらになる。第2のフリップフロップ1004、1014、1024・・・の入力クロックにはクロック位相調整回路B1001、1011、1021・・・の出力CLK05、CLK15、CLK25・・・がそれぞれ入力されており、クロック調整回路B1001、1011、1021・・・の位相調整はそれぞれ異なった任意の調整値を設定できるため、第2のフリップフロップ1004、1014、1024・・・のQ出力SS04、SS14、SS24・・・は異なった任意のクロック立ち上がりエッジに同期して出力される。例えばクロック位相調整回路B1001のクロック遅延調整値を0.1nsとし、クロック位相調整回路B1011のクロック遅延調整値を0.2ns、クロック位相調整回路B1021のクロック遅延調整値を0.3nsとすると、第2のフリップフロップ1004、1014、1024のQ出力SS04、SS14、SS24・・・もそれぞれ0.1nsずつ遅延されて出力される。さらに、出力IOバッファ1005、1015、1025・・・のバッファ能力が等しければ図6に示すような半導体出力A'、B'、C'・・・はそれぞれ異なったデータ変化のタイミングで出力される。

【0023】このように本実施の形態3による半導体装置のノイズ低減回路では、第一のクロック位相調整回路Aを備え、さらに第二のクロック位相調整回路Bと、第一のフリップフロップと、組み合わせ回路と、第二のフリップフロップとを有するセット回路ZをN個設けて、クロック位相調整回路Bのクロック位相調整値を位相をずらしたい個数だけ設定し、ひとつのクロック位相調整回路Aで複数のフリップフロップのクロック位相調整回路Bを駆動することにより、少ないゲート規模、小さいチップ面積で、液晶表示データ制御回路のような複数ビットの出力をもち、出力電流能力の高いIOバッファを使用している半導体であっても、半導体出力がH→L、L→Hに反転した場合に出力IOバッファで瞬間的に流れる過渡電流のピークタイミングをずらすことができ、その結果複数ビット出力が同時に反転して過渡電流が重なり合っただけで電源線に集中的に流れるために生ずる出力信号の変化点におこる半導体内部の電源電圧およびGND電圧の急変によるノイズを低減させることができる。

【0024】

【発明の効果】以上のように、請求項1に係る半導体装置のノイズ低減回路によれば、半導体装置の複数の信号出力の過渡電流が同時に流れることにより発生するノイズを低減する半導体装置のノイズ低減回路であって、上記複数の信号出力の位相を相互にずらす出力位相シフト

手段を備えるようにしたので、PDPや液晶パネルの表示データ制御回路のような複数ビットの出力をもち、出力電流能力の高いIOバッファを使用している半導体であっても半導体出力がH→L、L→Hに同時に反転した場合に、信号出力の位相を相互にずらすことにより、複数ビット出力が掃除に反転して過渡電流が重なり合っただけで電源線に集中的に流れるために生ずる出力信号の変化点におこる半導体内部の電源電圧およびGND電圧の急変によるノイズを低減させることができるという効果がある。

【0025】以上のように、請求項2に係る半導体装置のノイズ低減回路によれば、請求項1に記載の半導体装置のノイズ低減回路において、上記出力位相シフト手段は、各データ入力を受ける組み合わせ回路と、前記組み合わせ回路の出力をデータ入力とし、所定周波数のクロックをクロック入力とするフリップフロップと、前記フリップフロップの出力を入力とする遅延回路と、を有する回路セットを、上記遅延回路による遅延量を異ならせてN個設けるようにしたので、液晶表示データ制御回路のような複数ビットの出力をもち、出力電流能力の高いIOバッファを使用している半導体であっても半導体出力がH→L、L→Hに反転した場合に出力IOバッファで瞬間的に流れる過渡電流のピークタイミングをずらすことにより、複数ビット出力が掃除に反転して過渡電流が重なり合っただけで電源線に集中的に流れるために生ずる出力信号の変化点におこる半導体内部の電源電圧およびGND電圧の急変によるノイズを低減させることができるという効果がある。

【0026】また、請求項3にかかる半導体装置のノイズ低減回路によれば、請求項1に記載の半導体装置のノイズ低減回路において、上記出力位相シフト手段は、各データ入力を受ける組み合わせ回路と、前記組み合わせ回路の出力をデータ入力とし、所定周波数のクロックをクロック入力とするフリップフロップと、前記フリップフロップの出力を入力及び出力とする、遅延量がゼロとなる1個の遅延回路と、それぞれ異なった遅延値を持ち、前記フリップフロップの出力をそれぞれの入力とする、遅延量の相互に異なる(M-1)個の遅延回路と、前記フリップフロップの入力と出力とを入力とし、前記フリップフロップの入出力の前後でデータがH→L、またはL→Hへ反転しているかどうかを検出する反転検出回路と、前記M個の遅延回路の出力とを入力とし、上記M個の出力のうち1個を選択するM入力セレクトと、を有する、回路セットをN個備え、さらに、前記N個の反転検出回路のそれぞれの出力を入力とし、上記各反転検出回路の検出結果から前記N個の回路セット内のM種の遅延回路の遅延量のうちの最適遅延値を算出して、前記M入力セレクトへセレクト制御信号として出力する最適遅延値算出回路と、を備えるようにしたので、液晶表示データ制御回路のような複数ビットの出力をもっている

半導体であっても半導体出力がH→L、L→Hに反転した場合に反転したビットのみ出力I/Oバッファで瞬間的に流れる過渡電流のピークタイミングをずらすことができ、出力反転時の過渡電流が重なりを十分広げることができるため、過渡電流が重なり合った大電流が電源線に集中的に流れるために生ずる出力信号の変化点に起こる半導体内部の電源電圧およびGND電圧の急変によるノイズを低減させることができるという効果がある。

【0027】請求項4にかかる半導体装置のノイズ低減回路によれば、請求項1に記載の半導体装置のノイズ低減回路において、上記出力位相シフト手段は、クロックの位相を各調整量だけ調整するクロック位相調整回路と、各データ入力を受け、共通のクロックをクロック入力とする第1のフリップフロップと、前記第1のフリップフロップの出力を入力とする組み合わせ回路と、前記クロック位相調整回路の出力をクロック入力とし、前記組み合わせ回路の出力をデータ入力とする第2のフリップフロップと、を有する、回路セットを、N個設けるようにしたので、クロック位相調整回路Bのクロック位相調整値を位相をずらしたい個数だけ設定し、ひとつのクロック位相調整回路Aで複数のフリップフロップのクロック位相調整回路Bを駆動することにより、少ないゲート規模、小さいチップ面積で、液晶表示データ制御回路のような複数ビットの出力をもち、出力電流能力の高いI/Oバッファを使用している半導体であっても、半導体出力がH→L、L→Hに反転した場合に出力I/Oバッファで瞬間的に流れる過渡電流のピークタイミングをずらすことができ、その結果複数ビット出力が掃除に反転して過渡電流が重なり合って電源線に集中的に流れるために生ずる出力信号の変化点におこる半導体内部の電源電圧およびGND電圧の急変によるノイズを低減させることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態1による半導体装置のノイ

ズ低減回路の構成を示すブロック図である。

【図2】本発明の実施の形態1による半導体装置のノイズ低減回路の各部の信号レベルを示す図である。

【図3】本発明の実施の形態2による半導体装置のノイズ低減回路の構成を示すブロック図である。

【図4】本発明の実施の形態2による半導体装置のノイズ低減回路の各部の信号レベルを示す図である。

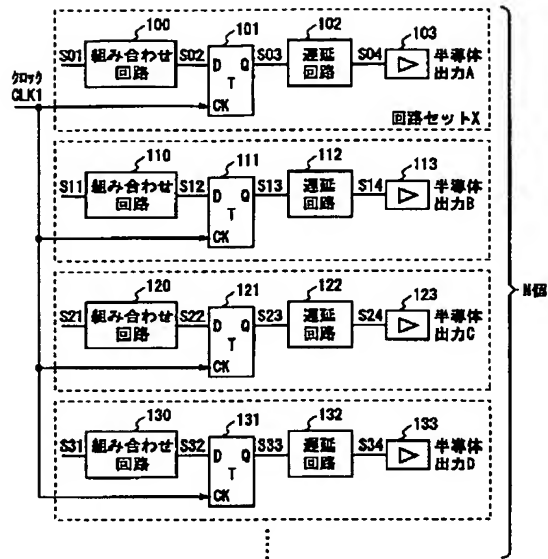
【図5】本発明の実施の形態3による半導体装置のノイズ低減回路の構成を示すブロック図である。

【図6】本発明の実施の形態3による半導体装置のノイズ低減回路の各部の信号レベルを示す図である。

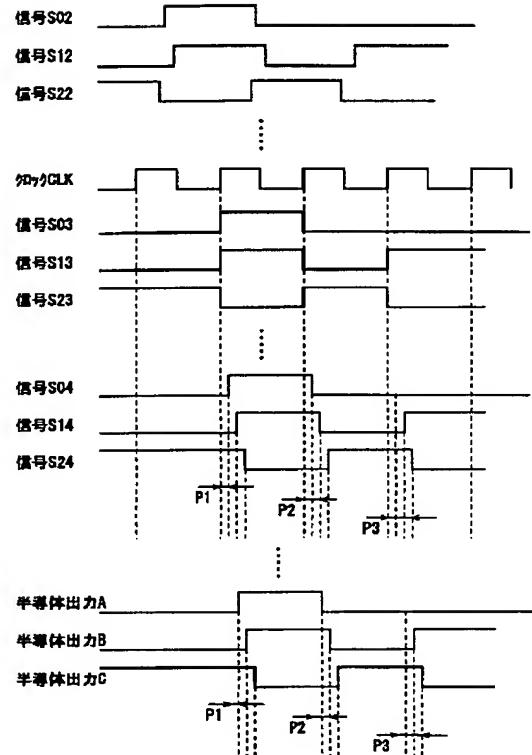
【符号の説明】

100, 110, 120, 130, 200, 300, 400, 500, 1003, 1013, 1023, 1033 組み合わせ回路
101, 111, 121, 131, 201, 301, 401, 501 フリップフロップ
102, 112, 122, 132, 202, 203, 204, 302, 303, 304, 402, 403, 404, 502, 503, 504 遅延回路
103, 113, 123, 133, 212, 312, 412, 512, 1005, 1015, 1025, 1035 出力I/Oバッファ
210, 310, 410, 510 反転検出回路
211, 311, 411, 511 M入力セレクタ
213 最適遅延値検出回路
1000 クロック位相調整回路A
1001, 1011, 1021, 1031 クロック位相調整回路B
1002, 1012, 1022, 1032 第1のフリップフロップ
1004, 1014, 1024, 1034 第2のフリップフロップ

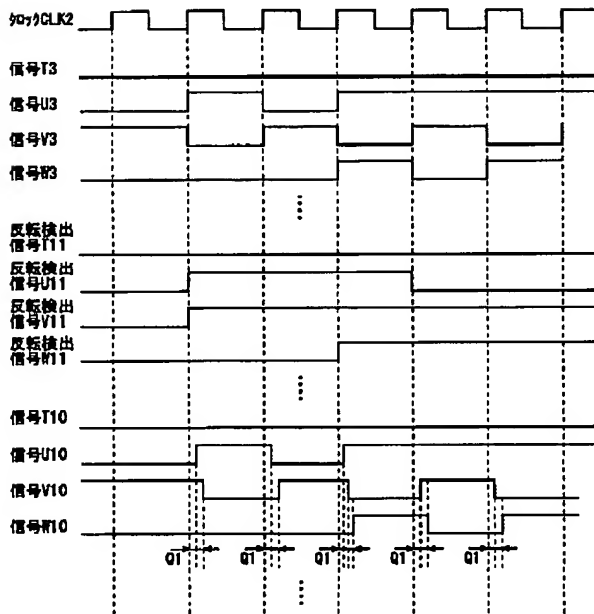
【図 1】



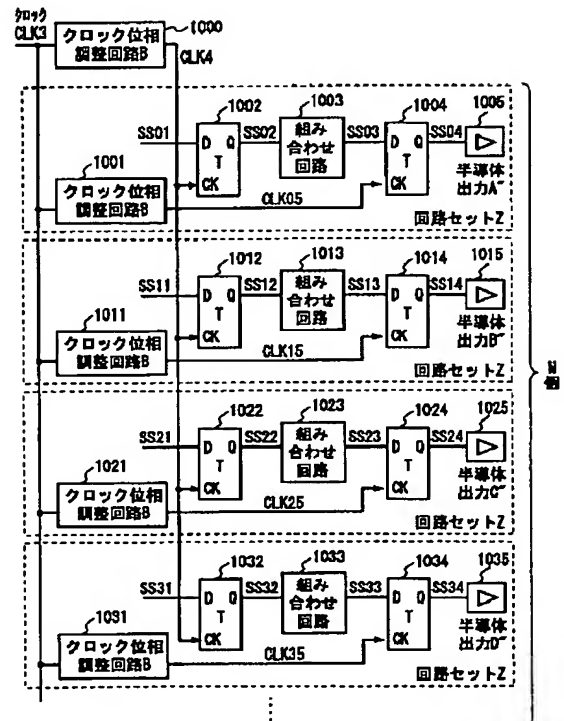
【図 2】



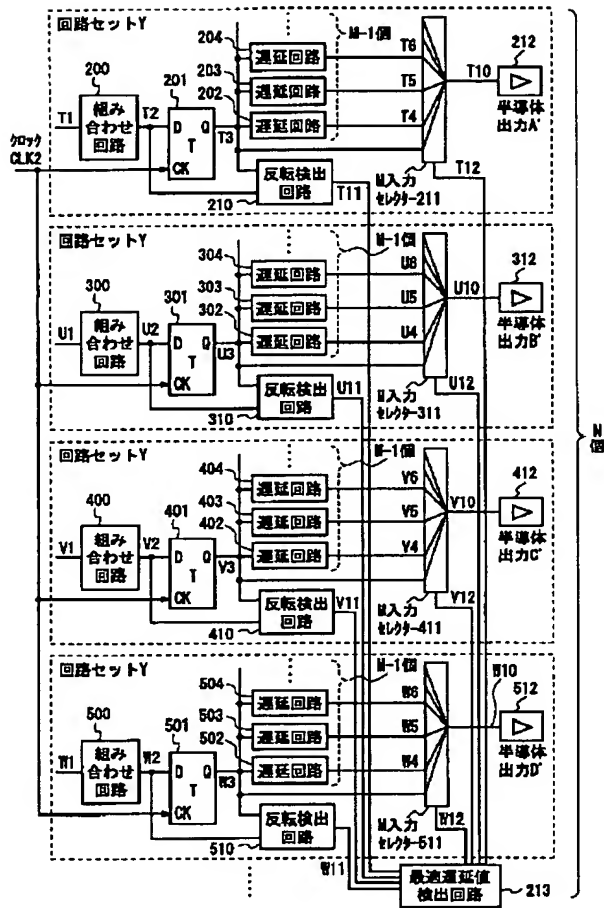
【図 4】



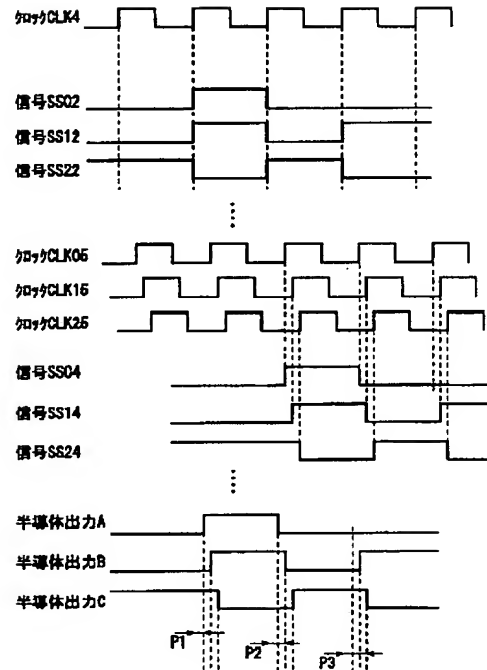
【図 5】



【図3】



【図6】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F 1

テーマコード* (参考)

G 0 9 G 3/36
F ターム (参考)

G 0 9 G 3/28

H

2H093 NA31 NA36 NA79 ND40
5C006 AF71 BB11 BC16 BF49 FA32
5C080 AA05 AA10 BB05 CC06 DD12
JJ02 JJ04
5J056 AA04 BB24 BB25 CC00 CC05
CC14 FF01 FF10 GG03 KK01